

ESP32-S3 系列

硬件设计指南

关于本文档

本文提供基于 ESP32-S3 的硬件设计的指导规范。ESP32-S3 是一款具有超高性能的 Wi-Fi + Bluetooth® 5 (LE) 系统级芯片。

这些规范将帮助您提升电路和 PCB 版图设计的准确性。



版本 v1.0
乐鑫信息科技
版权 © 2021

目录

1	产品概述	5
2	原理图设计	6
2.1	电源	7
2.1.1	数字电源	7
2.1.2	模拟电源	8
2.2	上电时序与复位	9
2.2.1	上电时序	9
2.2.2	复位	9
2.2.3	上电、复位时序图	10
2.3	Flash 及 SRAM	10
2.3.1	SiP Flash 及 SiP PSRAM	10
2.3.2	外部 Flash 及片外 RAM	11
2.4	时钟源	12
2.4.1	外置主晶振时钟源（必选）	12
2.4.2	RTC 时钟（可选）	13
2.5	射频 (RF)	13
2.6	UART	13
2.7	ADC	14
2.8	Strapping 管脚	14
2.9	USB	16
2.10	触摸传感器	16
3	版图布局	17
3.1	版图设计通用要点	17
3.2	模组在底板上的位置摆放	18
3.3	电源	20
3.4	晶振	21
3.5	射频	22
3.6	Flash 及 PSRAM	23
3.7	UART	24
3.8	USB	24
3.9	触摸传感器	24
3.9.1	电极图形	25
3.9.2	PCB 布局	25
3.9.3	防水和接近传感器布局	26
3.10	版图设计常见问题	26
3.10.1	为什么电源纹波并不大，但射频的 TX 性能很差？	26
3.10.2	为什么芯片发包时，电源纹波很小，但射频的 TX 性能不好？	27
3.10.3	为什么 ESP32-S3 发包时，仪器测试到的 power 值比 target power 值要高很多或者低很多，且 EVM 比较差？	27
3.10.4	为什么芯片的 TX 性能没有问题，但 RX 的灵敏度不好？	27

4	开发硬件介绍	28
4.1	ESP32-S3 系列模组	28
4.2	ESP32-S3 系列开发板	28
5	相关文档和资源	29
	词汇列表	30
	修订历史	31

表格

1	ESP32-S3 系列芯片上电、复位时序图参数说明	10
2	芯片与 SiP Flash/PSRAM 的管脚对应关系	10
3	JTAG 信号源选择	14
4	Strapping 管脚	14
5	Strapping 管脚的建立时间和保持时间的参数说明	16

插图

1	ESP32-S3 系列芯片参考设计原理图	6
2	ESP32-S3 系列芯片数字电源	8
3	ESP32-S3 系列芯片模拟电源	9
4	ESP32-S3 系列芯片上电、复位时序图	10
5	ESP32-S3 系列芯片外部 Flash 及片外 RAM (PSRAM) 电路	11
6	ESP32-S3 系列芯片无源晶振电路图	12
7	ESP32-S3 系列芯片有源晶振电路图	12
8	ESP32-S3 外置 RTC 晶振电路图	13
9	ESP32-S3 系列芯片射频匹配电路图	13
10	Strapping 管脚的建立时间和保持时间	15
11	ESP32-S3 系列芯片版图设计	17
12	ESP32-S3 系列模组 (天线馈点在右侧) 在底板上的位置示意图	18
13	ESP32-S3 系列模组 (天线馈点在左侧) 在底板上的位置示意图	18
14	ESP32-S3 天线区域净空示意图	19
15	ESP32-S3 系列芯片四层板电源设计	20
16	ESP32-S3 系列芯片四层板模拟电源设计	21
17	ESP32-S3 系列芯片晶振设计	22
18	ESP32-S3 系列芯片四层板射频部分版图设计	22
19	ESP32-S3 系列芯片 PCB 叠层结构设计	23
20	ESP32-S3 系列芯片四层板射频短截线设计	23
21	ESP32-S3 系列芯片 Flash 版图设计	24
22	典型的触摸传感器应用	24
23	电极图形要求	25
24	传感器布局布线	25
25	屏蔽电极和保护传感器	26

1 产品概述

说明:

点击链接或扫描二维码确保您使用的是最新版本的文档:

https://espressif.com/sites/default/files/documentation/esp32-s3_hardware_design_guidelines_cn.pdf



ESP32-S3 系列是低功耗、高集成度的 MCU 系统级芯片 (SoC)，集成 2.4 GHz Wi-Fi 和低功耗蓝牙 (Bluetooth® LE) 双模无线通信。ESP32-S3 具有以下亮点：

- Xtensa® 32 位 LX7 双核处理器
- 高集成度的射频模块
- 卓越的低功耗管理
- 强大的存储功能
- 完善的安全机制
- 丰富的通信接口及 GPIO 管脚

为了抵消射频接收器的瑕疵,ESP32-S3 还另增了校准措施,缩短了产品的测试时间,并且不再需要测试设备。

ESP32-S3 特别适用于人工智能和 AIoT 等应用场景,例如:

- 唤醒词检测
- 语音命令识别
- 人脸检测和识别
- 智能家居
- 智能家电
- 智能控制面板
- 智能扬声器

更多关于 ESP32-S3 说明和订购信息请参考 [《ESP32-S3 系列芯片技术规格书》](#)。

说明:

除非特别说明,文中使用的“ESP32-S3”指的是 ESP32-S3 系列芯片,而非单一型号。

下文将分别对这 10 个部分进行描述。

2.1 电源

关于电源管脚使用注意事项，请查看 [《ESP32-S3 系列芯片技术规格书》](#) 中的**电源管理**章节。

2.1.1 数字电源

ESP32-S3 系列芯片的 pin46 VDD3P3_CPU 为 CPU IO 输入电源管脚，工作电压范围为 3.0 V ~ 3.6 V。建议在电路中靠近该数字电源管脚处添加 0.1 μ F 去耦电容。

Pin29 VDD_SPI 管脚可配置输出 1.8 V（Boot 启动时，需 GPIO45 的值为 1）或输出 3.3 V（Boot 启动时，需 GPIO45 的值为 0，默认状态）给外部电路使用。建议靠近该电源管脚处添加 0.1 μ F 及 1 μ F 去耦电容。

- 当 VDD_SPI 处于 1.8 V 模式时，由 ESP32-S3 内部的 Flash Voltage Regulator 供电，能提供的最大电流为 40 mA。
- 当 VDD_SPI 处于 3.3 V 模式时，由 VDD3P3_RTC 通过 R_{SPI} 电阻后供电。因此，VDD_SPI 相对 VDD3P3_RTC 会有一定电压降。

VDD_SPI 也可由外部电源供电。

注意：

当使用 VDD_SPI 给 SiP（系统封装）的或外部的 3.3 V flash/PSRAM 供电时，需要满足 flash/PSRAM 的工作电压要求，一般应保证电压在 3.0 V 及以上。

ESP32-S3 系列芯片数字电源电路图如图 2 所示。

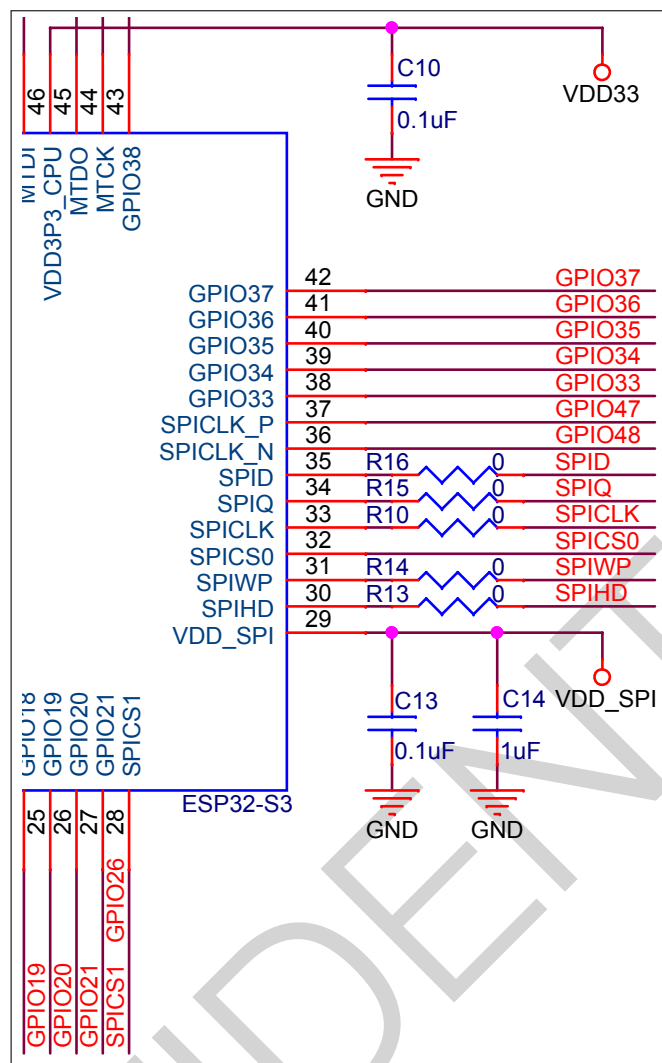


图 2: ESP32-S3 系列芯片数字电源

2.1.2 模拟电源

ESP32-S3 系列芯片的 pin2 VDD3P3、pin3 VDD3P3、pin20 VDD3P3_RTC、pin55 VDDA 及 pin56 VDDA 为模拟电源管脚。工作电压范围为 3.0 V ~ 3.6 V。

该部分电源需要注意的是当 ESP32-S3 系列芯片工作在 TX 时，瞬间电流会加大，往往引起电源的轨道塌陷。所以在电路设计时建议在电源走线上增加一个 $10\ \mu\text{F}$ 电容，该电容可与 $0.1\ \mu\text{F}$ 电容搭配使用。另外，在靠近两个 VDD3P3 管脚处还需添加 CLC 滤波电路，用于抑制高频谐波，同时请注意该电感的额定电流最好在 500 mA 及以上。其余电源管脚请参考图 3 放置相应的去耦电容。

注意：

- 使用单电源供电时，建议供给 ESP32-S3 系列芯片的电源电压为 3.3 V，最大输出电流可达 500 mA 及以上。
- 总电源入口处建议添加 ESD 保护器件。

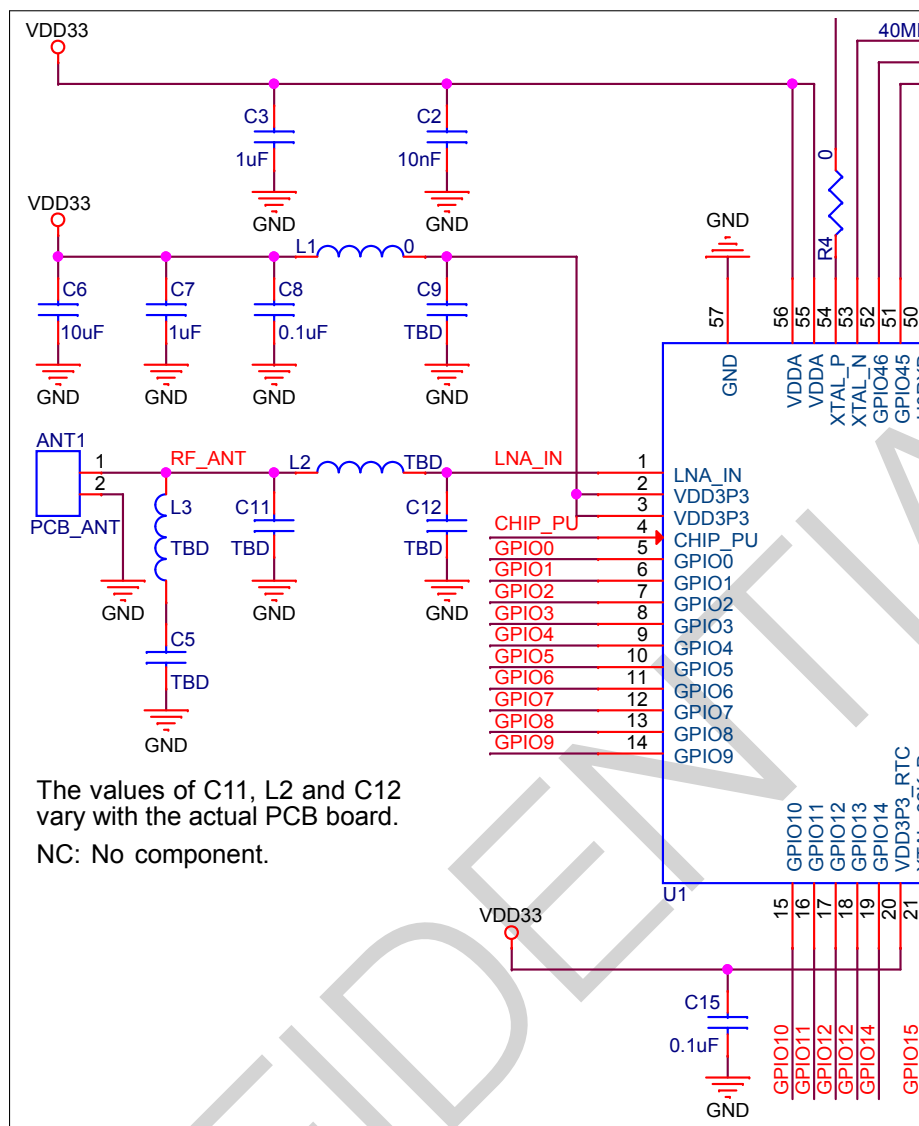


图 3: ESP32-S3 系列芯片模拟电源

2.2 上电时序与复位

2.2.1 上电时序

ESP32-S3 系列芯片使用 3.3V 作为统一的系统电源, 所以上电时序上只需遵循: ESP32-S3 系列芯片的 CHIP_PU 使能管脚上电要晚于系统电源 3.3V 上电。具体请见章节 2.2.3。

注意:

为确保芯片上电时的供电正常, CHIP_PU 管脚处需要增加 RC 延迟电路。RC 通常建议为 $R = 10\text{ k}\Omega$, $C = 1\text{ }\mu\text{F}$, 但具体数值仍需根据电源的上电时序和芯片的上电复位时序进行调整。

2.2.2 复位

ESP32-S3 系列芯片的复位可使用 CHIP_PU 管脚。当 CHIP_PU 管脚为低电平时, 建议复位电压 (V_{IL_nRST}) 范围为 $(-0.3 \sim 0.25 \times VDD)\text{ V}$ (其中 VDD 是 I/O 的供电电源)。为防止外界干扰引起重启, CHIP_PU 管脚引线需尽量短一些, 且最好加上拉电阻和对地电容。

注意:

该管脚不可浮空。

2.2.3 上电、复位时序图

图 4 为 ESP32-S3 系列芯片上电、复位时序图。各参数说明如表 1 所示。

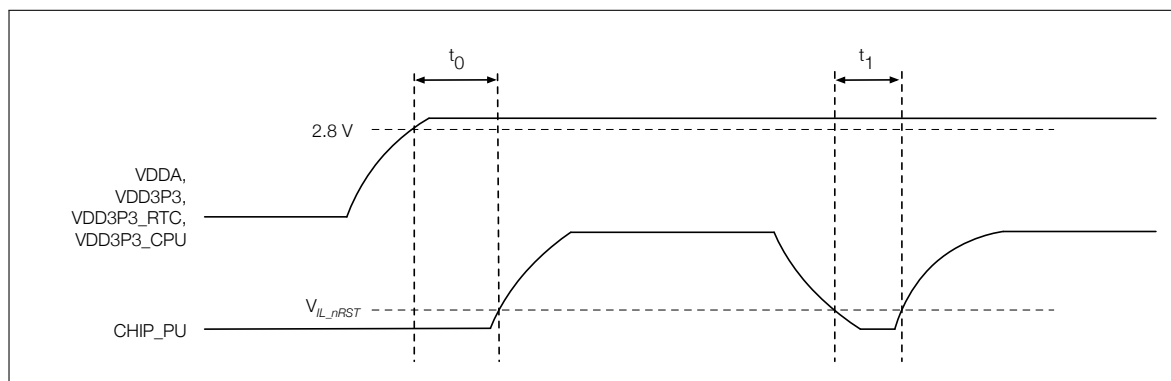


图 4: ESP32-S3 系列芯片上电、复位时序图

表 1: ESP32-S3 系列芯片上电、复位时序图参数说明

参数	说明	最小值 (μs)
t_0	CHIP_PU 管脚上电晚于 VDDA、VDD3P3、VDD3P3_RTC 和 VDD3P3_CPU 上电的延时时间	50
t_1	CHIP_PU 电平低于 V_{IL_nRST} 的时间	50

2.3 Flash 及 SRAM

ESP32-S3 系列芯片需配合 SiP flash 或外部 flash 一起使用，用于存储应用的固件和数据。SiP PSRAM 和片外 RAM 非必需。

2.3.1 SiP Flash 及 SiP PSRAM

SiP flash/PSRAM 指的是封装在某些芯片型号内部的 flash/PSRAM。目前 ESP32-S3 系列芯片与 SiP flash/PSRAM 的管脚对应关系请参阅表 2。使用以下芯片型号时，被 SiP flash/PSRAM 占用的管脚不建议用于其它功能。

表 2: 芯片与 SiP Flash/PSRAM 的管脚对应关系

ESP32-S3FN8	SiP flash (8 MB, Quad SPI)
SPICLK	CLK
SPICS0	CS#
SPID	DI
SPIQ	DO
SPIWP	WP#
SPIHD	HOLD#
ESP32-S3R2	SiP PSRAM (2 MB, Quad SPI)

SPICLK	CLK
SPICS1	CE#
SPID	SI/SIO0
SPIQ	SO/SIO1
SPIWP	SIO2
SPIHD	SIO3
ESP32-S3R8 / ESP32-S3R8V	SiP PSRAM (8 MB, Octal SPI)
SPICLK	CLK
SPICS1	CE#
SPID	DQ0
SPIQ	DQ1
SPIWP	DQ2
SPIHD	DQ3
GPIO33	DQ4
GPIO34	DQ5
GPIO35	DQ6
GPIO36	DQ7
GPIO37	DQS/DM

2.3.2 外部 Flash 及片外 RAM

ESP32-S3 对外部 flash 和片外 RAM 各可以最大支持到 1 GB。设计时请注意需根据设置的 VDD_SPI 输出电压大小选择合适工作电压的 flash 和片外 RAM。另外，建议 SPI 通信线上预留串联电阻（初始可使用 $0\ \Omega$ ），如图 5 所示，主要为降低驱动电流，减小对射频的干扰，调节时序，提升抗干扰能力等。

ESP32-S3 系列芯片外部 flash 及片外 RAM 电路请见图 5。

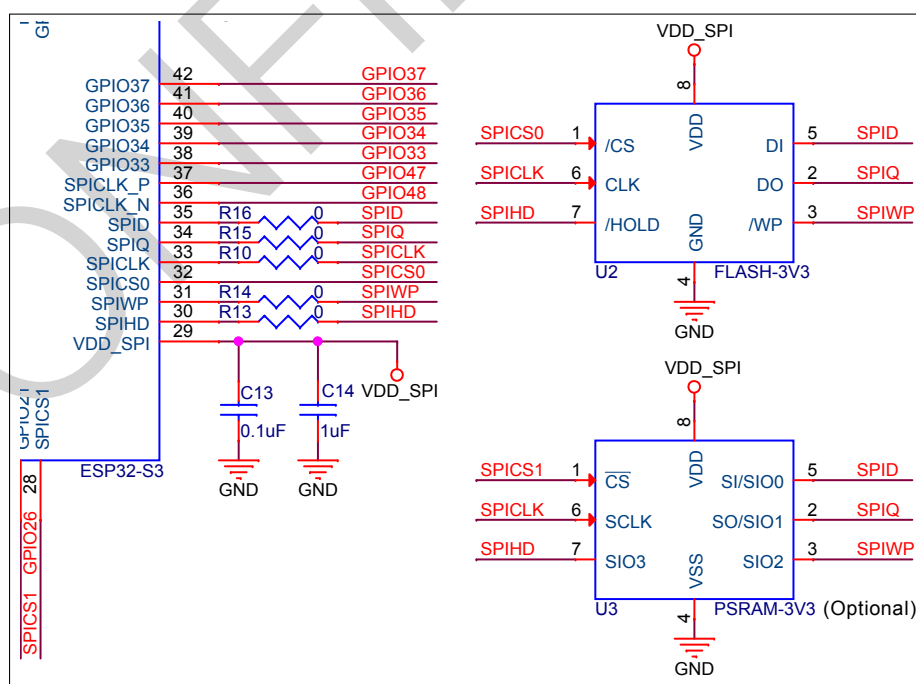


图 5: ESP32-S3 系列芯片外部 Flash 及片外 RAM (PSRAM) 电路

2.4 时钟源

ESP32-S3 外部可以有两个时钟源：

- 外置主晶振时钟源
- RTC 时钟源

2.4.1 外置主晶振时钟源（必选）

目前 ESP32-S3 系列芯片固件仅支持 40 MHz 晶振。

无源晶振

ESP32-S3 的无源晶振部分电路如图 6 所示，其中外部匹配电容 C1、C4 具体值需要通过系统测试后进行调整确定。XTAL_P 时钟走线上请务必预留一个串联电阻（初始可使用 $0\ \Omega$ ），以减小晶振的驱动能力，减弱晶振谐波对射频性能的影响。注意，选用的无源晶振自身精度需在 $\pm 10\ \text{ppm}$ 。

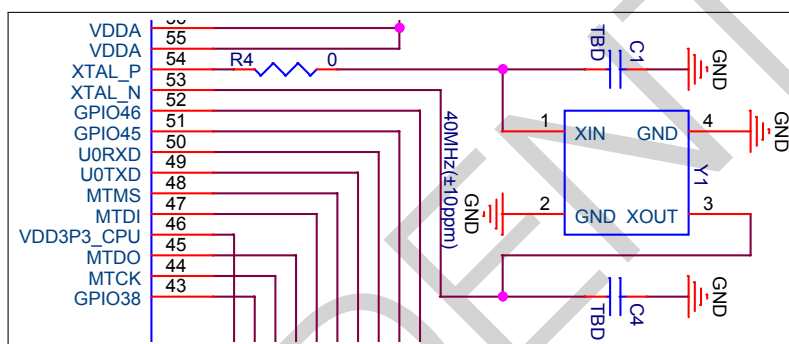


图 6: ESP32-S3 系列芯片无源晶振电路图

有源晶振

如需使用有源晶振，则将有源晶振的时钟输出通过一个串联电感（初始可使用 $20\ \text{nH}$ ）连接至芯片端的 XTAL_P 端，XTAL_N 悬空即可。注意需要保证该有源晶振的输出时钟稳定且精度在 $\pm 10\ \text{ppm}$ 以内。另外，建议做好外接无源晶振的兼容设计，假使有源晶振电路出现问题，可以替换为无源晶振工作。ESP32-S3 的有源晶振部分电路如图 7 所示。

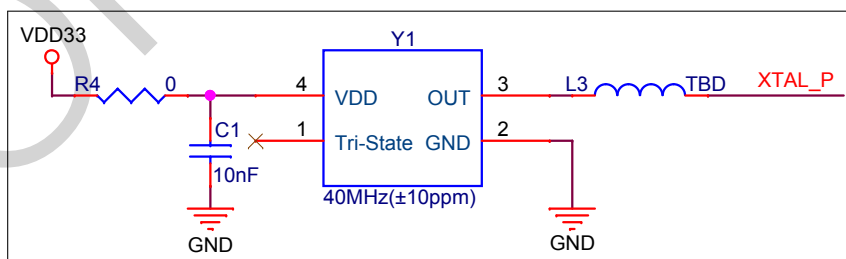


图 7: ESP32-S3 系列芯片有源晶振电路图

注意：

尽管 ESP32-S3 内部带有自校准功能，但是晶振本身的质量问题，比如自身频偏过大（例如大于 $\pm 10\ \text{ppm}$ ），工作温度范围内稳定度不高等晶振本身的质量问题仍然会影响芯片的正常工作，导致射频指标性能下降。

2.4.2 RTC 时钟 (可选)

ESP32-S3 既支持外置 32.768 kHz 的时钟振荡器作为 RTC 睡眠时钟，也支持外部激励信号（如有源晶振）作为 RTC 睡眠时钟。外置 32.768 kHz 晶振的电路如图 8 所示。

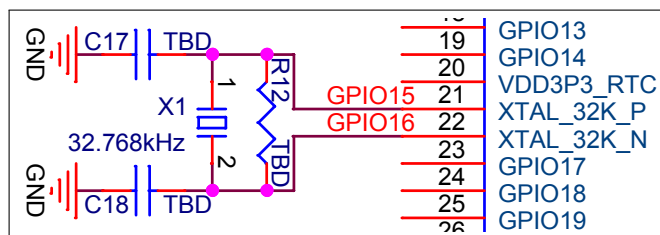


图 8: ESP32-S3 外置 RTC 晶振电路图

注意:

- 32.768 kHz 晶振选择要求：
 - 等效内阻 (ESR) $\leq 70 \text{ k}\Omega$;
 - 两端负载电容值根据晶振的规格要求进行配置。
- 并联电阻 R 用于偏置晶振电路，电阻值要求 $5 \text{ M}\Omega < R \leq 10 \text{ M}\Omega$ ，该电阻一般无需上件。
- 如果不需要该 RTC 时钟源，则 32.768 kHz 晶振的两个管脚也可配置为通用 GPIO 口使用。

2.5 射频 (RF)

设计时需添加 π 型匹配网络以便对天线进行匹配。建议 π 型匹配网络优先采用 CLC 结构。另外，请在 π 型匹配网络侧再额外预留一组 LC 滤波电路，用于抑制二次谐波。匹配网络的器件参数值需根据实际天线和 PCB 布局进行测试来确定。ESP32-S3 系列芯片射频匹配电路如图 9 所示。

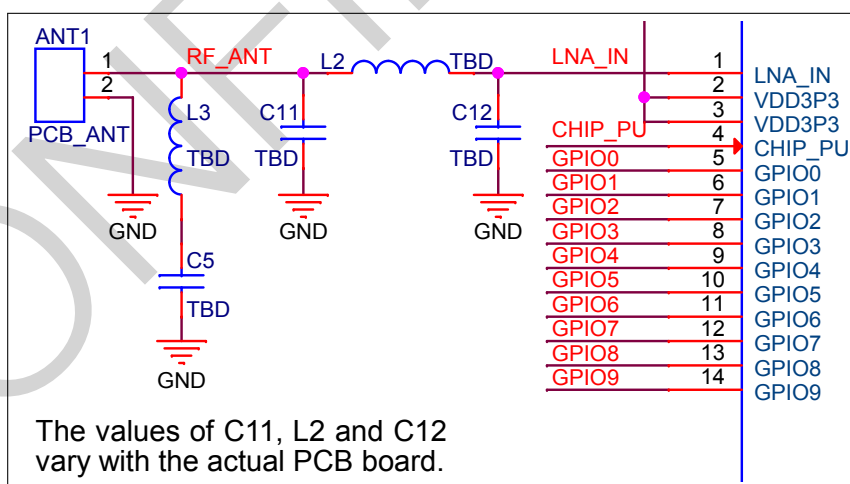


图 9: ESP32-S3 系列芯片射频匹配电路图

2.6 UART

U0TXD 线上需串联 499 Ω 电阻用于抑制 80 MHz 谐波。

2.7 ADC

使用 ADC 功能时，建议靠近管脚添加 0.1 μF 的对地滤波电容。优先推荐使用 ADC1。

2.8 Strapping 管脚

说明：

以下内容摘自 [《ESP32-S3 系列芯片技术规格书》](#) 的 Strapping 管脚章节。

ESP32-S3 共有 4 个 strapping 管脚：

- GPIO0
- GPIO45
- GPIO46
- GPIO3

软件可以读取寄存器“GPIO_STRAPPING”中这几个管脚 strapping 的值。

在芯片的系统复位（上电复位、RTC 看门狗复位、欠压复位、模拟超级看门狗 (analog super watchdog) 复位、晶振时钟毛刺检测复位）过程中，strapping 管脚对自己管脚上的电平采样并存储到锁存器中，锁存值为“0”或“1”，并一直保持到芯片掉电或关闭。

GPIO0, GPIO45, GPIO46 默认连接内部弱上拉/下拉。如果这些管脚没有外部连接或者连接的外部线路处于高阻抗状态，内部弱上拉/下拉将决定这几个管脚输入电平的默认值。

GPIO3 默认处于浮空状态。GPIO3 的 strapping 值可用来切换 CPU 内部 JTAG 信号来源，如表 4 所示。在这种情况下，该 strapping 值由外部线路来控制，并且外部线路不能处于高阻抗状态。表 3 列出了 EFUSE_DIS_USB_JTAG、EFUSE_DIS_PAD_JTAG 和 EFUSE_STRAP_JTAG_SEL 的所有配置组合，用以选择 JTAG 信号来源。

表 3: JTAG 信号源选择

EFUSE_STRAP_JTAG_SEL	EFUSE_DIS_USB_JTAG	EFUSE_DIS_PAD_JTAG	JTAG 信号源选择
1	0	0	见表 4
0	0	0	USB Serial/JTAG 控制器
无关项	0	1	USB Serial/JTAG 控制器
无关项	1	0	芯片上的 JTAG 管脚
无关项	1	1	N/A

为改变 strapping 的值，用户可以应用外部下拉/上拉电阻，或者应用主机 MCU 的 GPIO 控制 ESP32-S3 上电复位时的 strapping 管脚电平。

复位放开后，strapping 管脚和普通管脚功能相同。

Strapping 管脚配置的含义请参阅表 4。

表 4: Strapping 管脚

VDD_SPI 电压 ¹			
管脚	默认	3.3 V	1.8 V
GPIO45	下拉	0	1

系统启动模式 ²			
管脚	默认	SPI 启动模式	下载启动模式
GPIO0	上拉	1	0
GPIO46	下拉	无关项	0
系统启动过程中，控制 ROM Code 打印 ^{3 4}			
管脚	默认	正常打印	上电不打印
GPIO46	下拉	详见第 4 条说明	详见第 4 条说明
JTAG 信号源选择			
管脚	默认	EFUSE_DIS_USB_JTAG = 0, EFUSE_DIS_PAD_JTAG = 0, EFUSE_STRAP_JTAG_SEL=1	
GPIO3	N/A	0: JTAG 信号来源于芯片上的 JTAG 管脚 1: JTAG 信号来源于 USB Serial/JTAG 控制器	

说明:

1. VDD_SPI 电压由 GPIO45 的 strapping 值或 eFuse 中 VDD_SPI_TIEH 决定。eFuse 中 EFUSE_VDD_SPI_FORCE 选择决定方式：0: 由 GPIO45 的 strapping 值决定；1: 由 eFuse 中 EFUSE_VDD_SPI_TIEH 决定。
2. GPIO46 = 1 且 GPIO0 = 0 不可使用。
3. ROM Code 上电打印默认通过 U0TXD 管脚，可以由 eFuse 位 EFUSE_UART_PRINT_CHANNEL 控制切换到 GPIO17 (U1TXD) 管脚。
4. 当 eFuse 的 EFUSE_DIS_USB_SERIAL_JTAG 和 EFUSE_DIS_USB_OTG 同时为 0 时，ROM code 打印至 USB Serial/JTAG 控制器，否则打印至 UART，此时 GPIO46 与 EFUSE_UART_PRINT_CONTROL 一起控制 ROM code 打印，具体地，当 EFUSE_UART_PRINT_CONTROL 为：
0 时，上电正常打印，不受 GPIO46 控制。
1 时，GPIO46 为 0: 上电正常打印；GPIO46 为 1: 上电不打印。
2 时，GPIO46 为 0: 上电不打印；GPIO46 为 1: 上电正常打印。
3 时，上电不打印，不受 GPIO46 控制。

图 10 显示了 CHIP_PU 上电前和上电后 Strapping 管脚的建立时间和保持时间。各参数说明如表 5 所示。

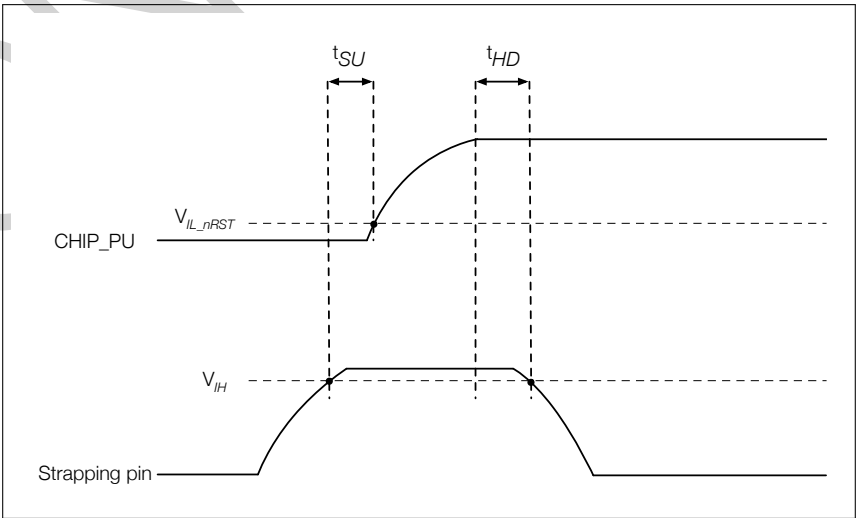


图 10: Strapping 管脚的建立时间和保持时间

表 5: Strapping 管脚的建立时间和保持时间的参数说明

参数	说明	最小值 (ms)
t_{SU}	CHIP_PU 上电前的建立时间	0
t_{HD}	CHIP_PU 上电后的保持时间	3

2.9 USB

ESP32-S3 系列芯片带有一个集成了收发器的全速 USB On-The-Go (OTG) 外设，符合 USB 1.1 规范。GPIO19 和 GPIO20 可以分别作为 USB 的 D- 和 D+，线上建议预留串联电阻（初始值可为 $0\ \Omega$ ）和对地电容（初始可不上件）。

ESP32-S3 系列芯片还集成了一个 USB Serial/JTAG 控制器，作为兼容 USB 2.0 全速模式的设备。

2.10 触摸传感器

使用 TOUCH 功能时，建议靠近芯片侧预留串联电阻（初始值可为 $0\ \Omega$ ），用于减小线上的耦合噪声和干扰，也可加强 ESD 保护。该阻值建议 $470\ \Omega$ 到 $2\ k\Omega$ ，推荐 $510\ \Omega$ 。具体值还需根据产品实际测试效果而定。

ESP32-S3 系列芯片的触摸传感器同时还支持防水和数字滤波等功能。注意只有 GPIO14 (TOUCH14) 可以驱动屏蔽电极。

3.2 模组在底板上的位置摆放

如产品采用模组进行板上 (on-board) 设计，则需注意考虑模组在底板的布局，应尽可能地减小底板对模组 PCB 天线性能的影响。建议将模组尽可能地靠近底板板边放置，条件允许的情况下，PCB 天线区域最好是可以延伸出底板板框外，并使天线的馈点距离板边最近。在下面模组摆放位置图中，✓代表强烈推荐的摆放位置，其他位置不推荐。

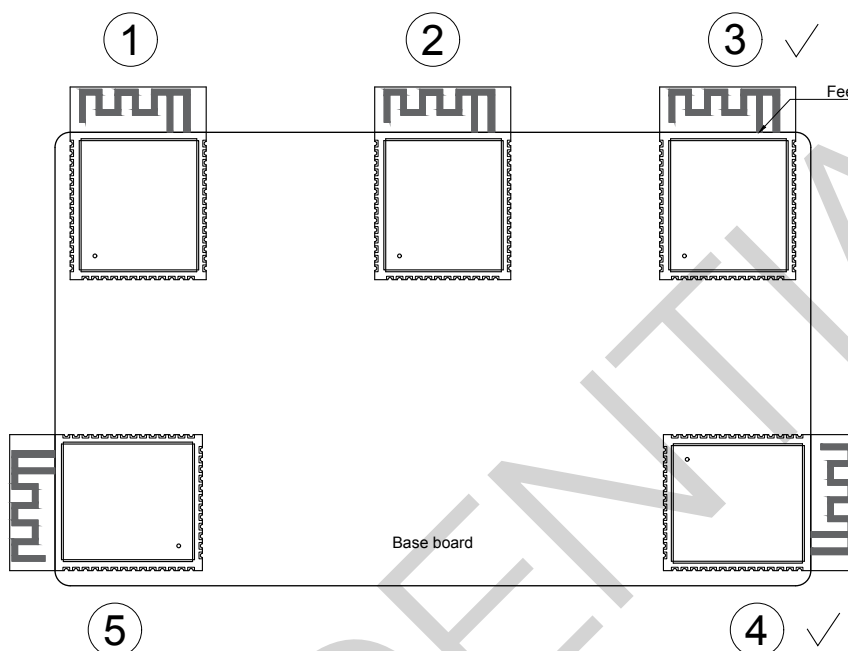


图 12: ESP32-S3 系列模组 (天线馈点在右侧) 在底板上的位置示意图

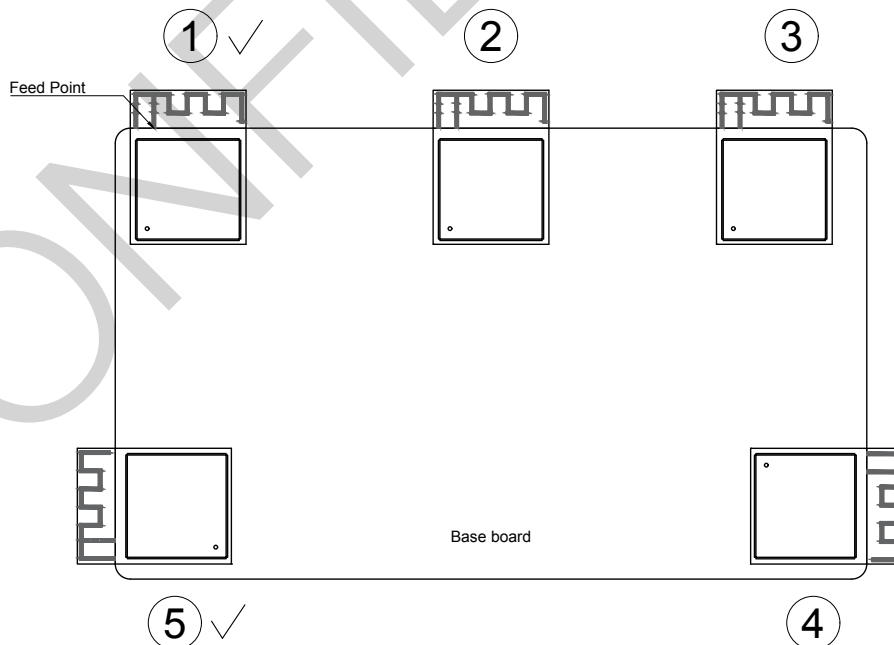


图 13: ESP32-S3 系列模组 (天线馈点在左侧) 在底板上的位置示意图

如上述方法受限而无法实行，请确保模块不被任何金属的外壳包裹，保留必要的 PCB 天线净空区域（严禁铺铜、

走线、摆放元件), 该净空区域越大越好。如图 14 所示。另外, 建议 PCB 天线下方区域的底板请切割掉, 以尽可能地减少底板板材对 PCB 天线的影响。

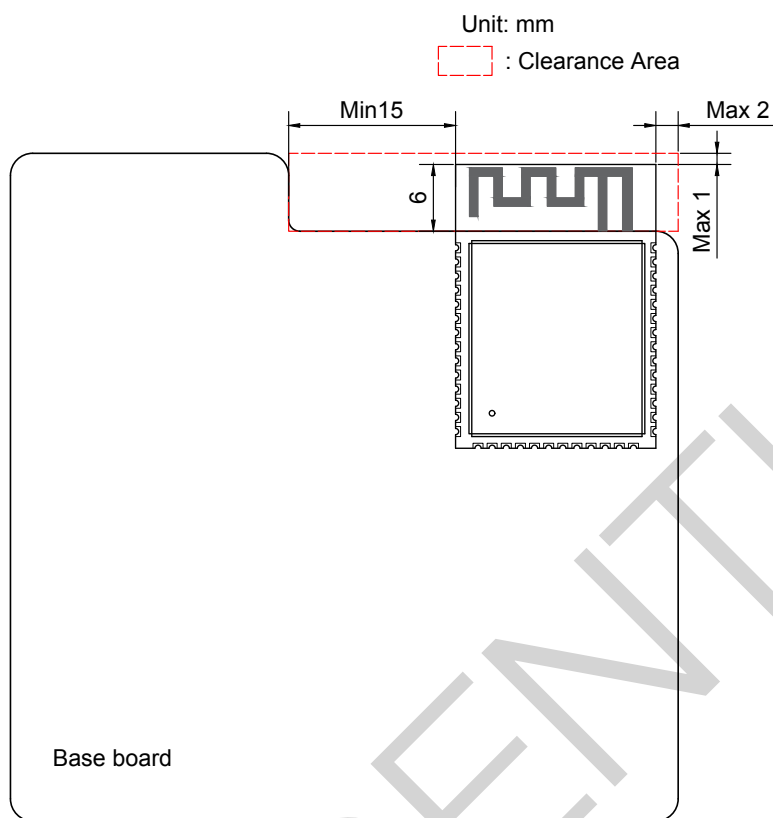


图 14: ESP32-S3 天线区域净空示意图

如果产品设计时采用不符合上述规则的摆放布局, 则需要对整机产品进行吞吐量 and 通讯距离等测试来确保产品性能。涉及整机设计时, 请注意考虑外壳对天线的影响, 并进行 RF 验证。

3.3 电源

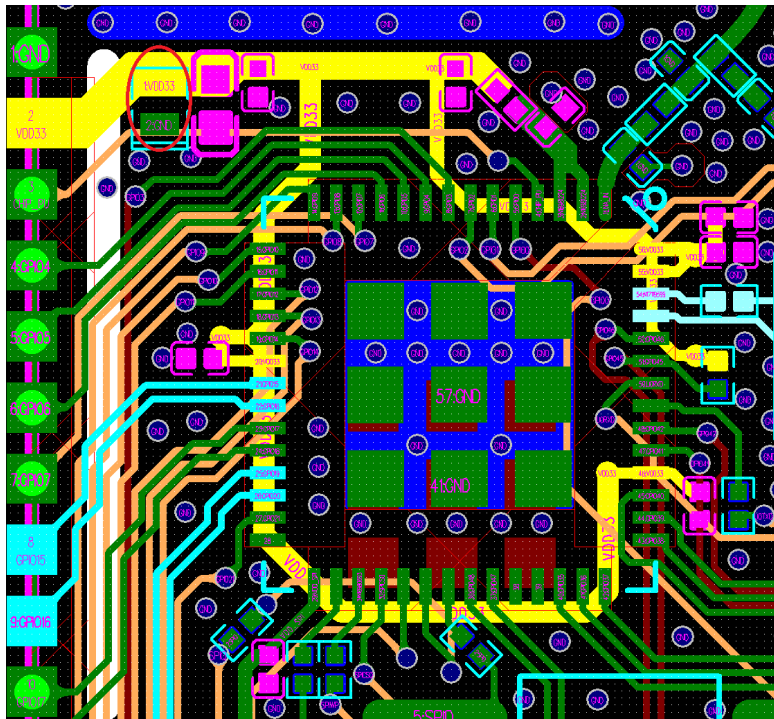


图 15: ESP32-S3 系列芯片四层板电源设计

- 推荐优先采用四层板设计，电源走线尽量走在第四层（底层），通过过孔连接至顶层芯片管脚处。主干电源换层处请至少保证两个过孔。其余电源走线上的钻孔的直径应不小于电源走线的宽度。
- 图 15 中黄色高亮信号线即为 3.3 V 电源走线。主干电源走线的线宽建议至少 25 mil，模拟电源 VDD3P3 分支电源走线建议至少 20 mil，其他分支电源走线建议 10 mil。
- 图 15 左上半部分中红色圆圈标示的是 ESD 保护管，需靠近电源端口放置。电源走线进入芯片前需添加一个 10 μF 电容，该电容与 0.1 μF 电容搭配使用。而后电源走线可在此分支，进行星形走线，减少不同电源管脚之间的耦合。所有的去耦电容请靠近对应电源管脚放置，去耦电容的接地管脚请靠近打地孔，保证较短的返回路径。
- 模拟电源 VDD3P3 处 LC 滤波电容中的对地电容的 GND 焊盘建议添加过孔连接至第四层的地，其余层做 keep-out 隔离处理，参考图 16。
- 电源从入口进来到 VDD3P3 模拟电源管脚，需在该电源线与左侧的 GPIO 线间添加 GND 隔离，并尽量能放置地孔。
- 芯片下方的地焊盘，请注意需要至少打九个地孔连接到地平面。

说明：

如图 16 所示，如需在模组背面添加散热焊盘 EPAD，建议对 EPAD 进行九宫格处理，间隙处盖油墨，而地孔则打在间隙处。这样可以有效地改善模组 EPAD 焊接至底板时的漏锡问题。

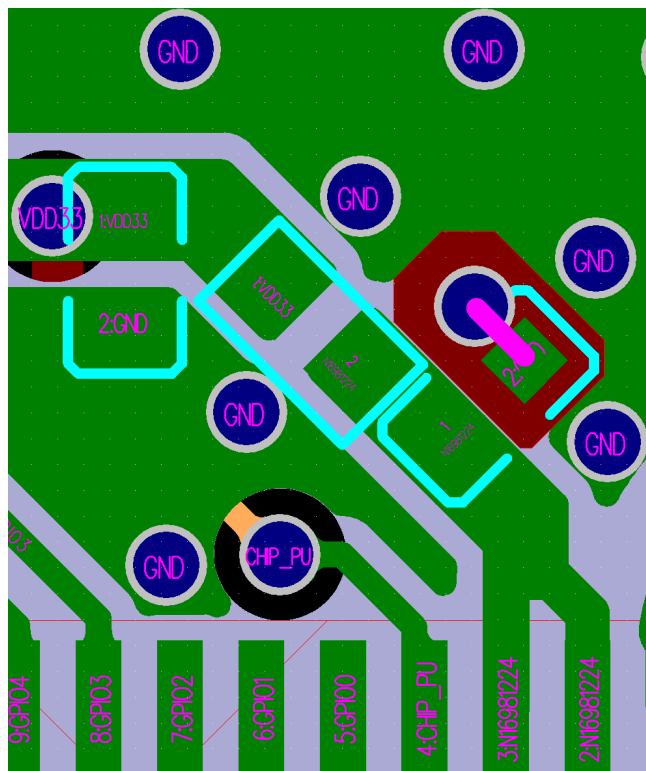


图 16: ESP32-S3 系列芯片四层板模拟电源设计

3.4 晶振

晶振设计请参考图 17，另外：

- 晶振需离芯片时钟管脚稍远一些放置（gap 至少为 2.0 mm），防止晶振干扰到芯片。同时晶振走线须用地包起来周围密集地孔屏蔽隔离。
- 晶振的时钟走线不可打孔走线，即不能跨层。晶振的时钟走线不可交叉，跨层交叉也不行。
- 晶振外接的对地调节电容请靠近晶振左右两侧摆放，并尽量置于时钟走线连接末端，保证电容的地焊盘靠近晶振的地焊盘放置。
- 晶振下方四层都不能走高频数字信号，最佳情况是晶振下方不走任何信号线。晶振时钟走线两侧的电源线上的过孔应尽可能地远离时钟走线放置，并使时钟走线两侧可以尽可能的包地。
- 晶振为敏感器件，晶振周围不能有磁感应器件，比如大电感等，保证晶振周围有干净的大面积地平面。

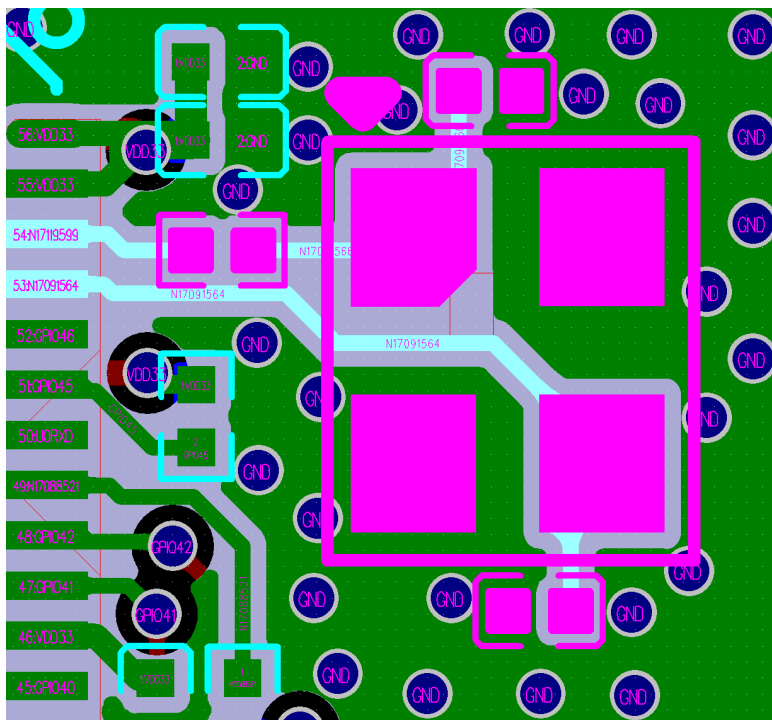


图 17: ESP32-S3 系列芯片晶振设计

3.5 射频

下图 18 中高亮走线即为射频走线。

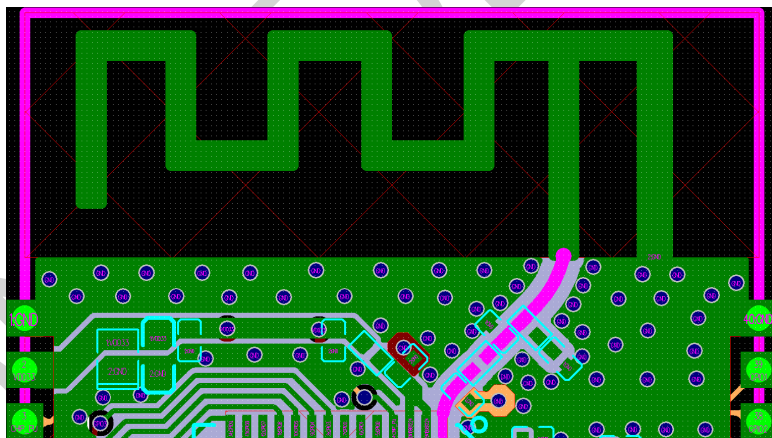


图 18: ESP32-S3 系列芯片四层板射频部分版图设计

- 射频走线须做 $50\ \Omega$ 单端阻抗控制，参考平面为第二层。射频走线上需预留一个 π 型匹配电路加一组 LC 滤波电路，该部分电路需尽可能地靠近芯片端，并呈 Z 字型摆放。
- 射频走线在做 $50\ \Omega$ 单端阻抗控制时，可参考图 19 所示的 PCB 叠层结构设计。
- 射频走线线宽请注意保持一致，不可有分支走线。射频走线长度须尽量短，并注意周围密集地孔屏蔽。
- 射频走线在表层，走线不可有过孔，即不能跨层走线，且尽量使用 135° 角走线或是圆弧走线。
- π 型 CLC 匹配网络中的靠近芯片侧对地电容的 GND 管脚与地之间建议增加短截线，可有效抑制二次谐波。短截线的长度建议为 15 mil，线宽根据 PCB 叠层结构进行确定，确保短截线的特征阻抗为 $100\ \Omega \pm$

10%。此外，短截线地孔与第三层相连，第一、二层做 keepout 隔离处理。图 20 中的高亮走线即为短截线。当 π 型匹配网络元器件封装为 0201 以上时，则无需做短截线处理。

- 射频走线须保证相邻层完整地平面，射频走线下方尽可能不要有任何走线。
- 射频走线附近不能有高频信号线。射频上的天线必须远离所有传输高频信号的器件，比如晶振、DDR、一些高频时钟等。另外，USB 端口、USB 转串口信号的芯片、UART 信号线（包括走线、过孔、测试点、插针引脚等）都必须尽可能地远离天线。且 UART 信号线做包地处理，周围加地孔屏蔽。

厚度 (mm)	阻抗 (Ohm)	铜距 (mil)	线宽 (mil)	铜距 (mil)
-	50	12.2	12.6	12.2

叠层	材质	基铜厚 (oz)	厚度 (mil)	介电常数
阻焊层			0.4	4
L1_Top	成品铜厚 1 oz	0.33	0.8	
PP	7628 TG150 RC50%		8	4.39
L2_Gnd		1	1.2	
Core	芯板		可调	4.43
L3_Power		1	1.2	
PP	7628 TG150 RC50%		8	4.39
L4_Bottom	成品铜厚 1 oz	0.33	0.8	
阻焊层			0.4	4

图 19: ESP32-S3 系列芯片 PCB 叠层结构设计

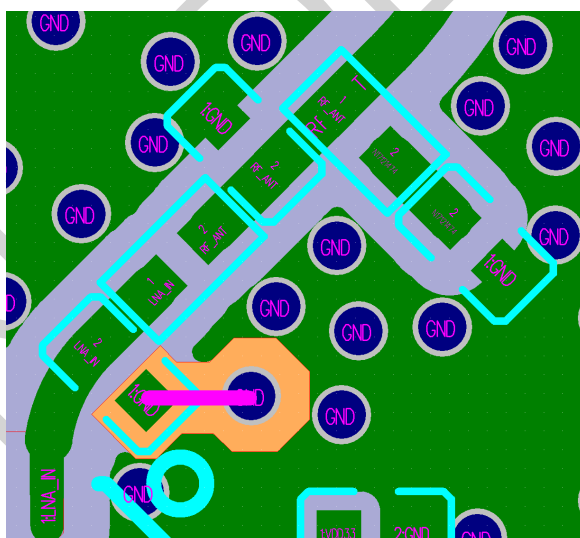


图 20: ESP32-S3 系列芯片四层板射频短截线设计

3.6 Flash 及 PSRAM

SPI 通信线上预留的串联电阻请靠近芯片侧放置。SPI 走线请尽可能地走到内层（例如第三层），并且 Clock 及 Data 走线都单独进行包地处理。八线 SPI 还需做等长处理。

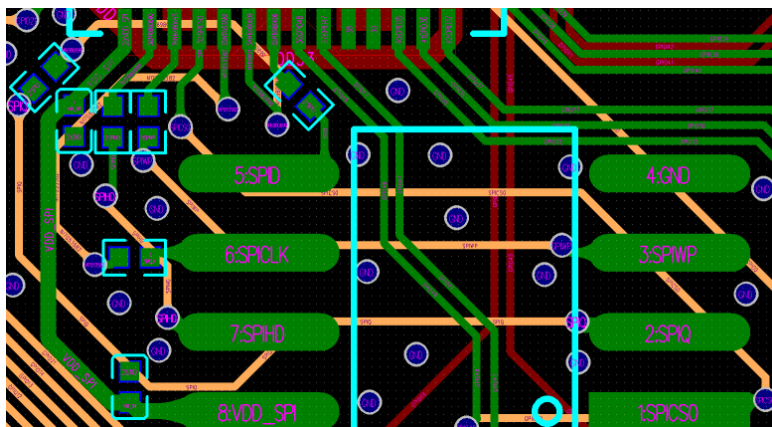


图 21: ESP32-S3 系列芯片 Flash 版图设计

3.7 UART

U0TXD 线上的串联电阻需尽可能地靠近芯片并远离晶振放置。U0TXD、U0RXD 在顶层的走线需尽量短，而且全路径尽量用地线包裹，周围加地孔屏蔽。

3.8 USB

USB 线上预留的 RC 电路请靠近芯片侧放置。USB 走线请按照差分走线，保持平行等长，有完整的参考地平面，走线两侧请注意包地处理。

3.9 触摸传感器

ESP32-S3 提供多达 14 个电容式传感 GPIO，能够探测由手指或其他物品直接接触或接近而产生的电容差异。这种设计具有低噪声和高灵敏度的特点，可以用于支持使用相对较小的触摸板。矩阵按键的设计可以得到更多的触摸点。接近感应的设计可以检测到人体的接近。图 22 为基于 ESP32-S3 的典型触摸传感应用。

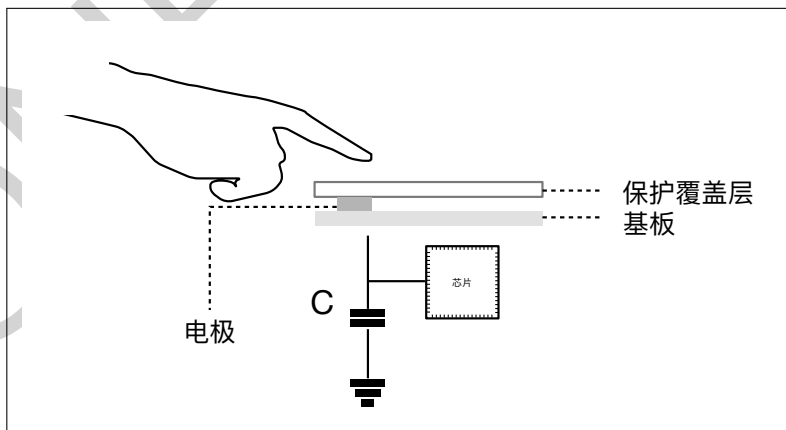


图 22: 典型的触摸传感器应用

为防止电容耦合和其他电干扰影响触摸传感系统的灵敏度，需要考虑以下因素：

3.9.1 电极图形

适当大小和形状的电极有助于提高系统灵敏度。常见的有圆形、椭圆形和形状类似人的指尖的电极。过大或形状不规则的电极可能导致附近电极发生错误响应。

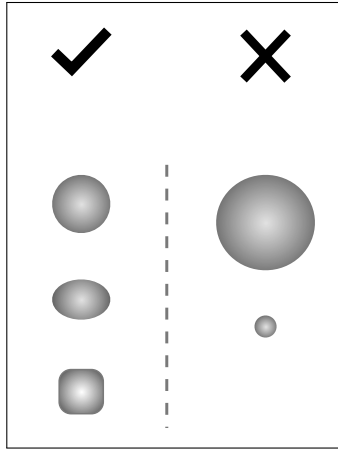


图 23: 电极图形要求

说明:

图 23 未按照实际比例示例，建议用指尖作为参考。

3.9.2 PCB 布局

图 24 为传感器布线布局，具体的走线注意事项如下：

- 走线长度请尽量短，建议不超过 300 mm
- 走线宽度 (W) 不能大于 0.18 mm (7 mil)
- 走线夹角 (R) 不应小于 90°
- 走线离地间隙 (S) 范围 0.5 mm 到 1 mm
- 触摸电极直径 (D) 范围 8 mm 到 15 mm
- 触摸电极和走线应被栅格地围绕
- 触摸传感器电路注意远离射频天线电路，并注意隔离

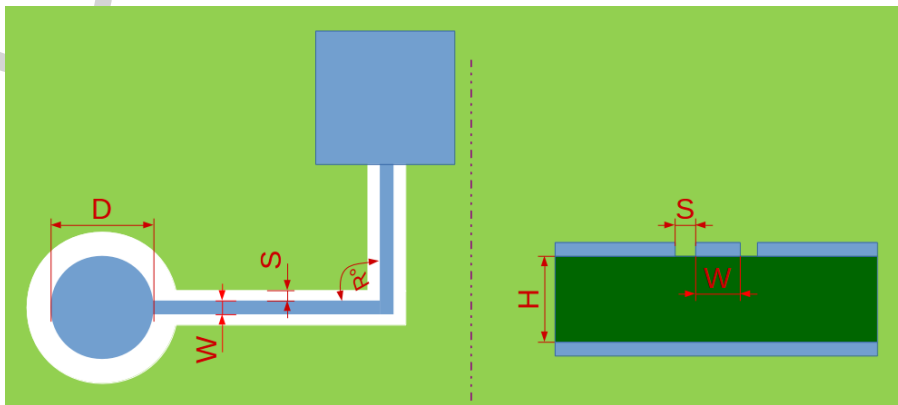


图 24: 传感器布局布线

3.9.3 防水和接近传感器布局

ESP32-S3 新增硬件防水和接近传感器功能，图 25 为防水和接近传感器参考的布局。

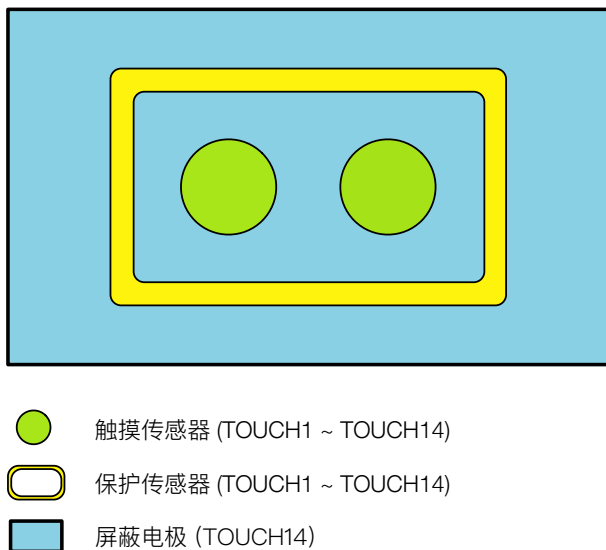


图 25: 屏蔽电极和保护传感器

为更好实现上述功能，请注意以下事项：

- 屏蔽电极的宽度建议 2 cm
- 顶层填充网格，走线宽度为 7 mil，网格宽度为 45 mil（25% 填充），填充的网格与驱动屏蔽信号连接
- 底层填充网格，走线宽度为 7 mil，网格宽度为 70 mil（17% 填充），填充的网格与驱动屏蔽信号连接
- 建议保护传感器应为弯曲边缘的矩形，包围其他所有传感器
- 保护传感器宽度建议为 2 mm
- 保护传感器与屏蔽传感器宽度间隙建议为 1 mm
- 接近传感器的感应距离与接近传感器的面积成正比，但增大感应面积也会带来更大噪声，需实际测试
- 接近传感器形状建议为闭合环状。宽度建议为 1.5 mm

说明：

关于触摸传感器的硬件设计，详见 [《ESP32-S3 触摸传感器应用方案简介》](#)。

3.10 版图设计常见问题

3.10.1 为什么电源纹波并不大，但射频的 TX 性能很差？

现象分析

电源纹波可极大地影响射频的 TX 性能。测量电源纹波时需注意电源纹波必须是在 ESP32-S3 正常发包下测试。随着不同模式下功率的改变，电源纹波也会随之变化，发包功率越高，导致的纹波越大。

一般情况下，发送 MCS7@11n 的包时，电源纹波峰峰值必须 $<80\text{ mV}$ 。发送 11m@11b 时，电源纹波峰峰值必须 $<120\text{ mV}$ 。

解决方法

在电源支路上（支路为 ESP32-S3 模拟电源管脚）添加一个 $10\text{ }\mu\text{F}$ 的滤波电容。 $10\text{ }\mu\text{F}$ 的电容必须靠近芯片的模拟电源管脚，越近纹波会越小越稳定。

3.10.2 为什么芯片发包时，电源纹波很小，但射频的 TX 性能不好？

现象分析

射频的 TX 性能不仅受电源纹波的影响，还受到晶振的影响。晶振的本身质量不好，频偏过大会影响射频的 TX 性能。或者晶振受到高频信号干扰，比如晶振的输入输出信号线走线跨层交叉，使得晶振的输入信号耦合到输出信号上，输出信号耦合到输入信号上，也会影响射频的 TX 性能。另外，如果晶振的下方有其他高频信号走线，比如 SDIO 走线、UART 走线，也会导致晶振无法正常工作。最后，晶振旁边有感性器件或辐射器件，比如大电感、天线等也会导致芯片的射频性能不好。

解决方法

此问题主要是在布局上，可以重新布局，详见章节 3.4。

3.10.3 为什么 ESP32-S3 发包时，仪器测试到的 power 值比 target power 值要高很多或者低很多，且 EVM 比较差？

现象分析

仪器检测到的 power 值与 target power 相差较大，可能是由于芯片射频管脚输出到天线这一段传输线上阻抗不匹配导致信号在传输过程中有反射。其次，阻抗不匹配会影响到芯片内部 PA 的工作状态，使得 PA 非正常过早进入饱和区域，继而使得信号失真度高，EVM 自然会变差。

解决方法

射频走线上预留了一个 π 型电路，可以根据需求对天线进行阻抗匹配，使得从芯片射频管脚往天线端看去，阻抗接近芯片端口阻抗。

3.10.4 为什么芯片的 TX 性能没有问题，但 RX 的灵敏度不好？

现象分析

芯片的 TX 性能没有问题意味着射频端的阻抗匹配也没有问题。RX 灵敏度不好的可能原因是外界干扰耦合到天线上，比如晶振离天线非常近，或是 UART 的 TX 与 RX 走线穿过射频走线等。另外，如果主板上存在非常多的高频信号干扰源，则需根据主板设计来考量信号完整性的问题。

解决方法

请确保天线远离晶振，且射频走线附近不要走高频信号，具体可参考章节 3.5。

4 开发硬件介绍

4.1 ESP32-S3 系列模组

请至乐鑫官网的[模组页面](#)查看 ESP32-S3 系列模组的最新详细信息。

乐鑫官网的[文档页面](#)提供模组的参考设计。

模组使用注意事项

- 贴片模组使用单一管脚供电，您只需外接一个 3.3 V、可提供 500 mA 及以上电流输出的电源即可。该 3.3 V 电源既可为模拟电路供电，也可为数字电路供电。
- EN 管脚为模组使能管脚，正常工作时需把 EN 管脚置高电平。模组上未添加 RC 延时电路，建议客户在模组外部添加。可参考章节 2.2。
- 将 GND、RXD、TXD 接出外接 USB 转 UART 工具下载、打印 log 以及通信。

出厂模式下的模组 flash 已下载初始固件。如需自行烧录其它固件，则烧录 flash 的操作步骤如下：

- 烧录前，需要设置模组在下载启动模式下工作；即将 IO0（默认为高）和 IO46（默认为低）下拉到低电平。
- 给模组上电，通过串口查看是否进入下载启动模式。
- 通过 [Flash 下载工具](#)将程序固件烧录进 flash。
- 烧录结束后，IO0 需上拉切换至高电平，进入 SPI 启动模式下工作。
- 重新上电，芯片初始化时会从 flash 中读取程序运行。

注意：

- 整个操作过程都可通过 UART 打印 log 信息查看芯片运行是否正常。当无法烧录或程序无法运行时，可通过串口打印信息查看芯片初始化时设置的工作模式是否正常。
- 串口打印工具和烧录工具不能同时占用串口端口。

4.2 ESP32-S3 系列开发板

请至乐鑫官网的[开发板页面](#)查看 ESP32-S3 系列开发板的最新详细信息。

5 相关文档和资源

相关文档

- [《ESP32-S3 技术规格书》](#) – 提供 ESP32-S3 芯片的硬件技术规格。
- [《ESP32-S3 技术参考手册》](#) – 提供 ESP32-S3 芯片的存储器和外设的详细使用说明。
- 证书
<http://espressif.com/zh-hans/support/documents/certificates>
- 文档更新和订阅通知
<http://espressif.com/zh-hans/support/download/documents>

开发者社区

- ESP-IDF 及 GitHub 上的其它开发框架
<http://github.com/espressif>
- ESP32 论坛 – 工程师对工程师 (E2E) 的社区，您可以在这里提出问题、解决问题、分享知识、探索观点。
<http://esp32.com/>
- *The ESP Journal* – 分享乐鑫工程师的最佳实践、技术文章和工作随笔。
<http://blog.espressif.com/>
- SDK 和演示、App、工具、AT 等下载资源
<http://espressif.com/zh-hans/support/download/sdks-demos>

产品

- ESP32-S3 系列芯片 – ESP32-S3 全系列芯片。
<http://espressif.com/zh-hans/products/socs?id=ESP32-S3>
- ESP32-S3 系列模组 – ESP32-S3 全系列模组。
<http://espressif.com/zh-hans/products/modules?id=ESP32-S3>
- ESP32-S3 系列开发板 – ESP32-S3 全系列开发板。
<http://espressif.com/zh-hans/products/devkits?id=ESP32-S3>
- ESP Product Selector (乐鑫产品选型工具) – 通过筛选性能参数、进行产品对比快速定位您所需要的产品。
<http://products.espressif.com/#/product-selector?language=zh>

联系我们

- 商务问题、技术支持、电路原理图 & PCB 设计审阅、购买样品 (线上商店)、成为供应商、意见与建议
<http://espressif.com/zh-hans/contact-us/sales-questions>

词汇列表

CLC	电容-电感-电容
DDR	双倍速率
ESD	静电释放
GND	接地
LC	电感-电容
PA	功率放大器
RC	电阻-电容
RTC	实时控制器
RX	接收
SiP	系统封装
TX	发送

修订历史

日期	版本	发布说明
2021-09-30	v1.0	首次发布

CONFIDENTIAL

CONFIDENTIAL



免责声明和版权公告

本文档中的信息，包括供参考的 URL 地址，如有变更，恕不另行通知。

本文档可能引用了第三方的信息，所有引用的信息均为“按现状”提供，乐鑫不对信息的准确性、真实性做任何保证。

乐鑫不对本文档的内容做任何保证，包括内容的适销性、是否适用于特定用途，也不提供任何其他乐鑫提案、规格书或样品在他处提到的任何保证。

乐鑫不对本文档是否侵犯第三方权利做任何保证，也不对使用本文档内信息导致的任何侵犯知识产权的行为负责。本文档在此未以禁止反言或其他方式授予任何知识产权许可，不管是明示许可还是暗示许可。

Wi-Fi 联盟成员标志归 Wi-Fi 联盟所有。蓝牙标志是 Bluetooth SIG 的注册商标。

文档中提到的所有商标名称、商标和注册商标均属其各自所有者的财产，特此声明。

版权归 © 2021 乐鑫信息科技（上海）股份有限公司。保留所有权利。